

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10084101 A**

(43) Date of publication of application: **31.03.98**

(51) Int. Cl

H01L 27/12
H01L 21/02
H01L 21/20
H01L 21/324

(21) Application number: **08257758**

(22) Date of filing: **06.09.96**

(71) Applicant: **SHIN ETSU HANDOTAI CO LTD**

(72) Inventor: **AGA KOJI**
MITANI KIYOSHI
KOBAYASHI NORIHIRO
KATAYAMA MASAYASU

(54) **MANUFACTURE OF SOI SUBSTRATE AND SOI SUBSTRATE**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a SOI substrate with a low COP(crystal originated particle) density in an SOI layer particularly for a thin film SOI substrate with the SOI layer thickness of at most 1 micron.

SOLUTION: An oxide film is formed on at least a first silicon single crystal substrate by this manufacturing method, a second single crystal substrate is tightly adhered to the oxide film and strongly coupled by giving

a heat treatment and, when an SOI substrate is produced for forming a thin film on the first silicon single crystal substrate, a high temperature heat treatment exceeding 1100°C is effected before forming an oxide film on the surface of a first silicon single crystal substrate. Alternatively the oxidation temperature for forming an oxide film on the surface of the first silicon single crystal substrate is made higher than 1100°C and the thickness of oxide film is made at least 700nm, or the thickness of the oxide film formed on the surface of the first silicon single crystal substrate is made at most 200nm.

COPYRIGHT: (C)1998,JPO

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-84101

(43)公開日 平成10年(1998)3月31日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 01 L	27/12		H 01 L	27/12
	21/02			21/02
	21/20			21/20
	21/324			21/324

審査請求 未請求 請求項の数10 FD (全 9 頁)

(21)出願番号	特願平8-257758	(71)出願人	000190149 信越半導体株式会社 東京都千代田区丸の内1丁目4番2号
(22)出願日	平成8年(1996)9月6日	(72)発明者	阿賀 浩司 群馬県安中市磯部2丁目13番1号 信越半導体株式会社半導体磯部研究所内
		(72)発明者	三谷 清 群馬県安中市磯部2丁目13番1号 信越半導体株式会社半導体磯部研究所内
		(72)発明者	小林 徳弘 群馬県安中市磯部2丁目13番1号 信越半導体株式会社半導体磯部研究所内
		(74)代理人	弁理士 好宮 幹夫

最終頁に続く

(54)【発明の名称】 SOI基板の作製方法およびSOI基板

(57)【要約】 (修正有)

【課題】 SOI層中のCOP密度の低いSOI基板、特にSOI層の厚さが1ミクロン以下の薄膜SOI基板の作製方法を提供する。

【解決手段】 少なくとも第1のシリコン単結晶基板の表面に酸化膜を形成し、第2のシリコン単結晶基板と該酸化膜を介して密着させ、これに熱処理を加えて強固に結合させた後、第1のシリコン単結晶基板を薄膜化するSOI基板の作製方法において、第1のシリコン単結晶基板の表面に酸化膜を形成する前に、1100°Cを越える温度の高温熱処理を行うか、前記第1のシリコン単結晶基板の表面に酸化膜を形成する酸化温度は、1100°Cを越える温度とし、酸化膜厚を700nm以上とするか、前記第1のシリコン単結晶基板の表面に形成する酸化膜の膜厚を200nm以下とすることを特徴とするSOI基板の作製方法。

【特許請求の範囲】

【請求項1】少なくとも第1のシリコン単結晶基板の表面に酸化膜を形成し、第2のシリコン単結晶基板と該酸化膜を介して密着させ、これに熱処理を加えて強固に結合させた後、第1のシリコン単結晶基板を薄膜化するSOI基板の作製方法において、第1のシリコン単結晶基板の表面に酸化膜を形成する前に、該基板に1100°Cを越える温度の高温熱処理を行うことを特徴とするSOI基板の作製方法。

【請求項2】請求項1に記載のSOI基板の作製方法において、

前記1100°Cを越える温度の高温熱処理は、還元性雰囲気または不活性ガス雰囲気あるいはこれらの混合雰囲気で行うことを特徴とするSOI基板の作製方法。

【請求項3】請求項1または請求項2に記載のSOI基板の作製方法において、

前記第1のシリコン単結晶基板の表面に酸化膜を形成する酸化温度は、1100°Cを越える温度とすることを特徴とするSOI基板の作製方法。

【請求項4】請求項1ないし請求項3のいずれか一項に記載のSOI基板の作製方法において、

前記第1のシリコン単結晶基板の表面に形成する酸化膜の膜厚を200nm以下とすることを特徴とするSOI基板の作製方法。

【請求項5】少なくとも第1のシリコン単結晶基板の表面に酸化膜を形成し、第2のシリコン単結晶基板と該酸化膜を介して密着させ、これに熱処理を加えて強固に結合させた後、第1のシリコン単結晶基板を薄膜化するSOI基板の作製方法において、

前記第1のシリコン単結晶基板の表面に酸化膜を形成する酸化温度は、1100°Cを越える温度とし、形成する酸化膜の膜厚を700nm以上とすることを特徴とするSOI基板の作製方法。

【請求項6】少なくとも第1のシリコン単結晶基板の表面に酸化膜を形成し、第2のシリコン単結晶基板と該酸化膜を介して密着させ、これに熱処理を加えて強固に結合させた後、第1のシリコン単結晶基板を薄膜化するSOI基板の作製方法において、

前記第1のシリコン単結晶基板に形成する酸化膜の膜厚を200nm以下とすることを特徴とするSOI基板の作製方法。

【請求項7】第1および第2シリコン単結晶基板の表面に酸化膜を形成したのち、両者を該酸化膜を介して密着させ、これに熱処理を加えて強固に結合させた後、第1のシリコン単結晶基板を薄膜化するSOI基板の作製方法において、

前記第1のシリコン単結晶基板に形成する酸化膜の膜厚を200nm以下とすることを特徴とするSOI基板の作製方法。

【請求項8】請求項5ないし請求項7のいずれか一項

に記載のSOI基板の作製方法において、

前記第1のシリコン単結晶基板の表面に形成した酸化膜を一旦除去し、その後再び第1のシリコン単結晶基板の表面に酸化膜を、酸化温度を1100°Cを越える温度とし、酸化膜厚を700nm以上として形成するか、または形成する酸化膜の膜厚を200nm以下として、然る後に第2のシリコン単結晶基板と密着することを特徴とするSOI基板の作製方法。

【請求項9】請求項1ないし請求項8のいずれか一項の方法で作製されたSOI基板。

【請求項10】請求項1ないし請求項8のいずれか一項の方法で作製されたSOI層の厚さが1ミクロン以下の薄膜SOI基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、2枚のシリコン単結晶基板をシリコン酸化膜を介して貼り合わせて作製する、いわゆる貼り合わせSOI基板の作製方法および貼り合わせSOI基板に関し、特に、SOI層が1ミクロン以下の薄膜SOI基板において、COP(Crystal Originated Particle)密度の小さい薄膜SOI基板の作製方法に関する。

【0002】

【従来の技術】2枚のシリコン単結晶基板をシリコン酸化膜を介して貼り合わせる技術は、例えば特公平5-46086号公報に示されるように、少なくとも一方の基板に酸化膜を形成し、接合面に異物を介在させることなく相互に密着させた後、およそ200~1200°Cの温度で熱処理し結合強度を高める方法が、従来より知られている。

【0003】熱処理を行うことにより結合強度が高められた貼り合わせ基板は、その後の研削及び研磨工程が可能となるため、どちらか一方の基板を研削及び研磨により所望の厚さに薄膜化することにより、素子形成を行うSOI層を形成することができる。

【0004】すなわち、作製されたSOI基板は、結晶性の優れたシリコン単結晶基板のバルク結晶がそのまま用いられているため、結晶性の優れたSOI層が得られることになり、この点がSIMOX法(Separation by Implanted Oxygen)や溶融再結晶化法などの他のSOI作製手法に比べてすぐれている。

【0005】一方、貼り合わせ基板の原料となるシリコン単結晶基板、特にはチョクラルスキー法により引き上げられたシリコン単結晶インゴットから作製されたCZ基板中にはCOP(Crystal Originated Particle)と呼ばれる結晶欠陥が存在しており、酸化膜耐圧特性が劣化する1つの原因であることが近年明らかとなっている(J.Ryuta, E.Morita, T.Tanaka and Y.Shimanuki; Jpn.J.Appl.Phys.29(1990) L1947)。

【0006】従って、このようなCZ基板を用いてSOI

基板を作製した場合、作製されたSOI層中にも当然COPが存在し、SOI層の酸化膜耐圧特性を劣化させることになる。この場合特に、作製するSOI層の厚さが例えば1ミクロン以下といった薄膜SOI基板の場合には、COPがSOI層を貫通して存在し、ピンホールを形成する場合もある。

【0007】

【発明が解決しようとする課題】そこで、本発明は上記問題点に鑑みなされたもので、SOI層中のCOP密度の低いSOI基板、特にSOI層の厚さが1ミクロン以下の薄膜SOI基板の作製方法を提供することを目的としている。

【0008】

【課題を解決するための手段】上記目的を達成すべく本発明の請求項1に記載した発明は、少なくとも第1のシリコン単結晶基板の表面に酸化膜を形成し、第2のシリコン単結晶基板と該酸化膜を介して密着させ、これに熱処理を加えて強固に結合させた後、第1のシリコン単結晶基板を薄膜化するSOI基板の作製方法において、第1のシリコン単結晶基板の表面に酸化膜を形成する前に、該基板に1100°Cを越える温度の高温熱処理を行うことを特徴とするSOI基板の作製方法である。

【0009】このように、活性側の基板となる第1のシリコン単結晶基板に、予め1100°Cを越える温度の高温熱処理を行うことによって、基板表面近傍のCOP密度を低減することができる。したがって、この基板に酸化膜を形成し、第2のシリコン単結晶基板と結合すれば、SOI層中のCOP密度の低いSOI基板を作製することができる。

【0010】この場合、前記1100°Cを越える温度の高温熱処理は、還元性雰囲気または不活性ガス雰囲気あるいはこれらの混合雰囲気で行うことが望ましい（請求項2）。このように、還元性雰囲気あるいは不活性ガス雰囲気で基板に熱処理をすれば、効率よく基板表面近傍のCOP密度を低減することができるからである。

【0011】また、本発明においては、第1のシリコン単結晶基板の表面に酸化膜を形成する酸化温度は、1100°Cを越える温度とするのが好ましい（請求項3）。このように、第1のシリコン単結晶基板の表面に酸化膜を形成する酸化温度を、1100°Cを越える温度とすることによって、酸化熱処理に伴う基板表面近傍に発生するCOPの密度を抑制することができる。この場合、特に形成する酸化膜の膜厚を700nm以上とすることにより、いっそうCOP密度を低減化することができる（請求項5）。

【0012】また、本発明においては、第1のシリコン単結晶基板の表面に形成する酸化膜の膜厚を200nm以下とすることによっても、基板表面近傍に発生するCOPの密度を抑制し低減することができる（請求項4、請求項6）。この場合、第1のシリコン単結晶基板に形

成した酸化膜の膜厚が200nm以下であると、埋め込み酸化膜厚が不足である場合には、第2のシリコン単結晶基板の表面にも酸化膜を形成し、その厚さを調整すれば良い（請求項7）。

【0013】また、本発明の請求項8に記載した発明は、請求項5ないし請求項7のいずれか一項に記載のSOI基板の作製方法において、前記第1のシリコン単結晶基板の表面に形成した酸化膜を一旦除去し、その後再び第1のシリコン単結晶基板の表面に酸化膜を、酸化温度を1100°Cを越える温度とし、酸化膜厚を700nm以上として形成するか、または形成する酸化膜の膜厚を200nm以下として、然る後に第2のシリコン単結晶基板と密着することを特徴とするSOI基板の作製方法である。

【0014】このように、第1のシリコン単結晶基板の表面に形成した酸化膜を一旦除去し、その後再び本発明にかかる方法で酸化膜を形成し、然る後に第2のシリコン単結晶基板と密着することによって、基板表面近傍のCOP密度を低減化させることができるとともに、埋め込まれる酸化膜の膜質を改善することもできる。

【0015】そして、このような請求項5ないし請求項8の方法によれば、SOI層中のCOP密度の低いSOI基板を得ることができ、このものは近年要求されるSOI層の厚さが1ミクロン以下の薄膜SOI基板において特に有用である（請求項9、請求項10）。

【0016】以下、本発明をさらに詳細に説明するが、本発明はこれらに限定されるわけではない。貼り合わせ手法を用いてSOI基板を作製する場合においては、その原料となるシリコン単結晶基板の表面近傍がSOI層となるため、この原料シリコン単結晶基板表面近傍のCOP密度が問題となる。特に、近年のデバイスの高集積化にともない、要求されるSOI層の厚さはさらに薄膜化しており、1ミクロン以下のSOI層を有する薄膜SOI基板が求められている。したがって、このような薄膜SOI基板では、特に問題となるシリコン単結晶基板の表面近傍とは、およそ表面から1ミクロン以下の領域であり、より正確に言うならば、基板表面に形成された酸化膜とシリコンとの界面からシリコン側へ、およそ1ミクロン以内の領域のことである。

【0017】そこで、本発明者らは、予め原料シリコン単結晶基板に熱処理を加え、その表面近傍のCOP密度を低減したうえで、貼り合わせ基板として用いることを発想し、シリコン単結晶基板に種々の熱処理を行い、その熱処理条件と、熱処理後の基板表面近傍のCOP密度との関係を調査した結果、これには1100°Cを越える温度の高温熱処理を行えば良いことを見いだし、本発明を完成させたものである。

【0018】また、さらに本発明者らは、シリコン単結晶基板の表面に酸化膜を形成する熱処理条件と表面近傍のCOP密度との関係を調査した結果、表面近傍のCOP

P密度は酸化温度及び酸化膜の膜厚（酸化膜厚）によって大きく影響されることを見出し、これらの最適条件を割り出すことによって本発明を完成させた。

【0019】すなわち、貼り合わせSOI基板を作製するにあたり、2枚のシリコン単結晶基板のうち、SOI層となる一方の基板（以下、ボンドウェーハと呼ぶ。）に酸化膜を形成し、他方の基板（以下、ベースウェーハと呼ぶ。）と結合する場合、ボンドウェーハの酸化膜形成条件が適切でないと、表面近傍のCOP密度は、酸化膜形成前よりも増加してしまい、このボンドウェーハを用いて作製されたSOI基板はCOP密度の高いSOI層を有することになり、素子形成後の不良率が高いものとなってしまうのである。

【0020】

【発明の実施の形態】以下に本発明の実施の形態を、図面を参照して説明するが、本発明はこれらに限定されるものではない。ここで、図1は本発明にかかる高温熱処理をボンドウェーハに行いSOI基板を作製する場合の概略工程を示す説明図である。

【0021】図1においてまず、薄膜SOI基板を作製するための原料ウェーハであるボンドウェーハ及びベースウェーハを用意する。そして、用意されたシリコン単結晶基板のうち、ボンドウェーハ1（図1（a））に高温熱処理を施し、基板表面近傍にCOP低減領域2を形成する（図1（b））。

【0022】この場合、熱処理温度は1100°Cを越える温度であることが必要であり、上限温度はシリコン基板の融点（約1420°C）未満であればよいが、熱処理炉の耐熱温度との関係上、通常は1250°C未満とされる。1100°C近辺で行う場合、熱処理時間は少なくとも1時間以上行うことが好ましい。これ以下の時間であると、ボンドウェーハの表面近傍に存在するCOPの低減効果が十分に得られないからである。

【0023】そしてこの高温熱処理時の雰囲気は、基板表面近傍のCOPを効果的に低減させるためには、水素またはアルゴンあるいはこれらの混合雰囲気で行なうことが好ましいが、水素以外の還元性雰囲気あるいはアルゴン以外の不活性ガス雰囲気で行ってもよい。この場合、簡易にかつ低コストで行うためには、水素あるいはアルゴンを用いるのが良い。

【0024】なお、このような高温熱処理により基板表面近傍のCOP密度が改善される理論の詳細は不明であるが、シリコン単結晶基板を水素熱処理すると、Siのリフローによって表面モフォロジーの改善、結晶欠陥の回復が起こることが知られており、これに類似した現象が生じているのではないかと考えられる（M. Horie, S. Aoki, J. Electrochem. Soc. Vol. 139, p. 2586 (1992) 参照）。

【0025】次にSOI基板の埋め込み酸化膜となる酸化膜3を上記ボンドウェーハ表面に形成する（図1

（c））。この際、ボンドウェーハは既に高温熱処理により、その表面近傍にはCOPが低減した領域2が形成されているので、酸化膜3を形成する熱処理条件は特に限定されないが、後述のように好ましくは1100°Cを越える温度で酸化するか、または、形成される酸化膜厚を200nm以下にすることによって、いっそSOI層中のCOP密度の低減を図ることができる。

【0026】またさらには、ボンドウェーハの酸化条件をこのように1100°Cを越える温度とするか、形成する酸化膜厚を200nm以下にすることによって、前記酸化前に行なう基板の高温熱処理を省略することも可能である。これらを図2を用いて以下に説明する。

【0027】図2は、COP密度と、酸化膜厚及び酸化温度との関係を示したもので、直径200mmのCZ基板からなるボンドウェーハを各種酸化条件により酸化後、酸化膜をフッ酸で除去し、アンモニアと過酸化水素の混合水溶液で洗浄し、その表面に発生したCOP密度を測定したものである。COPの測定は、パーティクル検査装置（LS-6000：日立電子エンジニアリング社製）を用いて、検出電圧700V、検出サイズ0.15～0.20ミクロンの条件にて行った。

【0028】図2の結果から、酸化温度が1000°C以下ではCOP密度は酸化膜厚の増加と共に増加するが、1050°C以上でその傾向は変化し、驚くべきことに1150°Cでは逆に減少することがわかる。このような現象は、本発明者らが初めて見い出したものである。したがって、ボンドウェーハの酸化条件としては、1100°Cを越える温度とするのが望ましく、こうすることによって酸化熱処理に伴うCOPの発生・増加を抑制することができる事がわかる。そして、この場合酸化膜厚としては700nm以上とすればよりいっそCOP密度を低減することができる事がわかる。ただし、常圧で酸化熱処理を行う場合、酸化膜厚の上限は3ミクロン程度であり、これ以上の膜厚を形成するためには、かなりの長時間熱処理を要しまり実用的でない。

【0029】図2からはまた、酸化温度に関係なく、酸化膜厚が200nm以下、特には100nm以下では、COP密度は非常に低いレベルで一定値を示すことができる。したがって、ボンドウェーハの表面に形成する酸化膜の膜厚を200nm以下、特には100nm以下にすることによって、COPの発生を抑制し、これを低減することができる。この場合、酸化膜厚の下限値としては、一般に熱酸化により形成できる最低の膜厚が5nm程度であるので、これ以上の厚さということになる。

【0030】このように、ボンドウェーハのCOP密度は、ボンドウェーハに形成する酸化膜の形成条件により左右される。そして、このボンドウェーハから形成される薄膜SOI層のCOP密度も、ボンドウェーハの酸化条件により影響を受けることになる。

【0031】従って、COP密度の低いSOI基板を作

製するためには、上述したボンドウェーハの酸化条件

(1100°Cを越える温度で酸化し、酸化膜厚を700nm以上とするか、または、形成される酸化膜の膜厚を200nm以下にする。)を満足する必要があり、またこのような酸化条件を採用することにより、前記ボンドウェーハの酸化前の高温熱処理は、必ずしも行わなくてもCOP密度の低い薄膜SOI基板を得ることが可能となる。

【0032】一方、図3は前記高温熱処理をボンドウェーハに加えた場合の効果を示したもので、ボンドウェーハの酸化前に水素雰囲気で1200°Cの高温熱処理を1時間行ったあと、その表面に酸化温度を1050°Cとして酸化膜を形成し、酸化膜厚とCOP密度との関係を調査した結果である。COPの測定条件は図2の場合と同一とした。

【0033】図2で示されるように1050°Cという酸化温度ではCOP密度が酸化膜厚の増加とともに増加するはずであるが、図3の結果を見ると、ボンドウェーハに水素雰囲気で高温熱処理を加えた後は、酸化膜厚に依存せず、低いCOP密度が維持されており、COPが増加しないことがわかる。したがって、ボンドウェーハに高温熱処理を加えることは有効であり、酸化膜を形成する前に高温熱処理を加えておけば、酸化温度を1100°Cを越える温度とすること、形成する酸化膜厚を200nm以下にすることは必ずしも必要ではないことがわかる。

【0034】ここで図4は、高温熱処理時の雰囲気の影響を調査した結果で、1200°C、1時間の高温熱処理を水素雰囲気とアルゴン雰囲気で行ったボンドウェーハと、高温熱処理を行わないリファレンスウェーハにおけるCOP密度を測定したものである。この結果、不活性ガスであるアルゴン雰囲気で高温熱処理をしても、水素雰囲気におけるのと同様にCOP低減効果があることがわかる。

【0035】以上説明したように、ボンドウェーハに酸化膜を形成する前に高温熱処理を行うか、高温熱処理を行わなくても酸化条件を、1100°Cを越える温度で酸化し、酸化膜厚を700nm以上とするか、形成される酸化膜厚を200nm以下にすることにより、表面近傍でCOP密度が低い領域2を有する酸化膜付きボンドウェーハ(図1(c))を得ることができる。

【0036】そして、このような表面近傍でCOP密度の低い領域2を有する酸化膜付きボンドウェーハを、表面に酸化膜のないベースウェーハ4と室温で密着させ、これに結合強度を向上させるための熱処理を加えると、2枚のシリコン単結晶基板が強固に結合した貼り合わせ基板を得ることができる(図1(d))。この場合、結合強度を向上させるための熱処理条件は、後工程である薄膜化工程に耐えうる結合強度が得られれば、特に制限はないが、通常酸化性雰囲気下、800°C以上の温度で

行われる。

【0037】またこの場合、ボンドウェーハ表面のCOP密度の低減を、形成する酸化膜厚を200nm以下にすることによって行った場合には、SOI基板の埋め込み酸化膜厚が所望厚さに対して不足する可能性がある。すなわち、埋め込み酸化膜厚を200nm以上とする必要がある場合には、ベースウェーハの方に不足分の酸化膜を形成してから結合すればよい。

【0038】このようにして得られた貼り合わせ基板のボンドウェーハ1側を研削・研磨等の薄膜化技術により所望厚さに薄膜化し、SOI層の厚さが、例えば1ミクロン以下、特に0.1ミクロンといった薄膜SOI基板が得られる(図1(e))。

【0039】そして、こうして得られた基板のSOI層中のCOP密度は、上記の高温熱処理または1100°Cを越える温度による酸化膜形成、あるいは形成する酸化膜厚を200nm以下にする対策が打たれているために、従来の方法で作製されたSOI基板に比べて非常に少ないものである。

【0040】

【実施例】次に本発明の実施例をあげる。

(実施例、比較例) まず、直径200mm、厚さ725μm、導電型p型、抵抗率4~6Ω·cmの鏡面研磨されたCZ基板を12枚用意し、6枚をボンドウェーハ用、6枚をベースウェーハ用に分類した。そして、このボンドウェーハ6枚を個別に、表1に示すような条件で熱処理を加え、それぞれ実施例1、2、3、4および比較例1、2とした。

【0041】すなわち、実施例1および実施例2はボンドウェーハに高温熱処理を施したもので、実施例1は水素雰囲気で、実施例2はアルゴン雰囲気で高温熱処理を行ったものである。また、実施例3はボンドウェーハの表面に酸化膜を形成する酸化温度を1100°Cを越える温度(1150°C)とし、形成する酸化膜厚を700nm以上としたもので、実施例4はボンドウェーハ表面に形成する酸化膜厚を200nm以下にしたるものである。一方、比較例1、比較例2は上記本発明にかかる熱処理を加えないもので、結合熱処理温度のみを変更したものを比較例2とした。

【0042】そして、ボンド酸化熱処理まで終了した上記ボンドウェーハ6枚を、酸化膜のないベースウェーハ6枚にそれぞれ密着させ、それぞれ表1に示した結合熱処理条件により熱処理を行うことで強固に結合した。この結合熱処理の雰囲気は、水蒸気を含む酸化性雰囲気で実施した。

【0043】そして、目的の薄膜SOI基板を作製する為には、結合熱処理の終了した上記貼り合わせ基板のボンドウェーハ側を、平面研削盤等により研削し、SOI層を20ミクロン程度の厚さにした後、さらに研磨等の薄膜化手法により厚さ1ミクロン以下のSOI層を作製

するわけであるが、SOI層が1ミクロン以下、例えば0.1ミクロンの薄膜SOI基板を作製してしまうと、SOI層中のCOP密度の測定が非常に困難になるため、本実施例および比較例においては、下記の手法を用いて評価した。

【0044】すなわち、結合熱処理の終了した上記貼り合わせ基板のベースウェーハ側を、平面研削盤により研削し、ベースウェーハを10μm程度の厚さにした後、水酸化カリウム水溶液（濃度5重量%、70℃）を用いて残りの10μmをエッティング除去し、結合面となって

いたボンドウェーハの酸化膜を露出させる。さらに、濃度5%の希フッ酸に浸し、酸化膜を完全に除去した後、アンモニアと過酸化水素の水溶液で5分間洗浄し、乾燥させた後、その表面に存在するCOPの数を、前記パーティクル検査装置（LS-6000：日立電子エンジニアリング社製）を用いて、検出電圧700V、検出サイズ0.15～0.20ミクロンの条件にて測定した。結果を表1に示した。

【0045】

【表1】

	実施例 1	実施例 2	実施例 3	実施例 4	比較例 1	比較例 2
水素熱処理	1200℃ 1時間	なし	なし	なし	なし	なし
アルゴン熱処理	なし	1200℃ 1時間	なし	なし	なし	なし
ボンドウェーハ 酸化条件	1050℃ 1μm	1050℃ 1μm	1150℃ 1μm	1000℃ 100nm	1050℃ 1μm	1050℃ 1μm
結合熱処理	1100℃ 2時間	1100℃ 2時間	1100℃ 2時間	1100℃ 2時間	1100℃ 2時間	1200℃ 2時間
COP密度 (個/8"エール)	150	155	84	98	1520	1132

【0046】表1の結果を見れば明らかなように、本発明にかかる熱処理を行った実施例1～実施例4のボンドウェーハ表面のCOP密度は低い値となっている。したがって、このものはCOP密度の低いSOI層を形成できるものである。一方、本発明の熱処理を行っていない比較例のボンドウェーハの表面は、COP密度が高いものとなっている。なお、表1のデータが図2～図4のデータより増加傾向があるのは、結合熱処理後の測定であるためと思われる。

【0047】尚、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

【0048】例えば、上記実施形態では酸化膜の形成は、ボンドウェーハ側にだけ形成する場合を中心に説明したが、本発明はこれには限定されず、ベースウェーハ

側にも酸化膜を形成した後、両者を貼り合わせてSOI基板を作製する場合にも当然適用されるものである。

【0049】また、上記実施形態では本発明にかかる熱処理、すなわちボンドウェーハに酸化膜を形成する前に高温熱処理を行うか、酸化条件として1100℃を越える温度で酸化し、形成する酸化膜厚を700nm以上とするか、形成される酸化膜厚を200nm以下にする熱処理を、それぞれ単独で行う場合を中心に説明したが、本発明はこれには限定されず、一つのボンドウェーハにこれらを組み合わせて熱処理を加えても良いものであることは言うまでもない。

【0050】またさらには、第1のシリコン単結晶基板の表面に、1100℃を越える温度で酸化膜を形成するか、形成する酸化膜の膜厚を200nm以下とした後、この第1のシリコン単結晶基板の表面に形成した酸化膜を一旦除去し、その後再び第1のシリコン単結晶基板の表面に酸化膜を、酸化温度を1100℃を越える温度と

し、酸化膜厚を700nm以上として形成するか、または形成する酸化膜の膜厚を200nm以下として、然る後に第2のシリコン単結晶基板と密着するものとしてもよい。

【0051】これは、最初に形成される第1のシリコン単結晶基板の表面の酸化膜中には、もともと基板表面に存在したCOPが取り込まれていることがあり、埋め込み酸化膜の耐圧特性を低下させる原因となり得るため、これを一旦エッチング等で除去してからその後再び本発明にかかる方法で酸化膜を形成し、然る後に第2のシリコン単結晶基板と密着することとすれば、基板表面近傍のCOP密度を低減化させることができるとともに、埋め込まれる酸化膜の膜質をも改善することができるからである。

【0052】

【発明の効果】以上説明したように、本発明ではボンドウェーハに酸化膜を形成する前に高温熱処理を行うか、酸化条件として1100℃を越える温度で酸化し、形成する酸化膜厚を700nm以上とするか、形成される酸化膜厚を200nm以下にすることにより、表面近傍でCOP密度が低い領域を作り出すことができる。したがって、COP密度の少ないSOI層を有するSOI基板

を作製することができる。そして、このようなCOP密度の少ないSOI基板は、近年要求されているSOI層の厚さが1μm以下の薄膜SOIにおいて、ピンホールの発生が抑制されるため特に有用である。また、本発明によって作製されたSOI基板は、COPが少ないため酸化膜耐圧等に優れた素子特性を有する。

【図面の簡単な説明】

【図1】(a)～(e)は、本発明にかかる高温熱処理をボンドウェーハに行いSOI基板を作製する場合の概略工程を示す説明図である。

【図2】COP密度と、酸化膜厚及び酸化温度との関係を示したものである。

【図3】高温熱処理を行ったボンドウェーハに、酸化温度を1050°Cとして酸化膜を形成し、酸化膜厚とCOP密度との関係を調査した結果図である。

【図4】高温熱処理時の雰囲気の影響を調査した結果である。

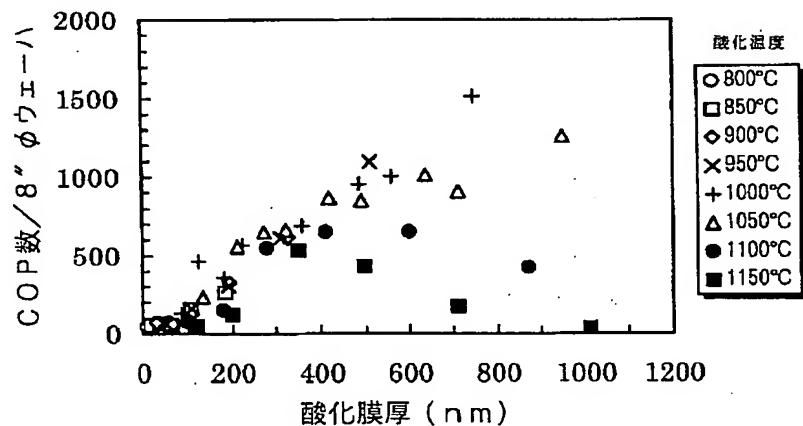
【符号の説明】

1 …ボンドウェーハ、

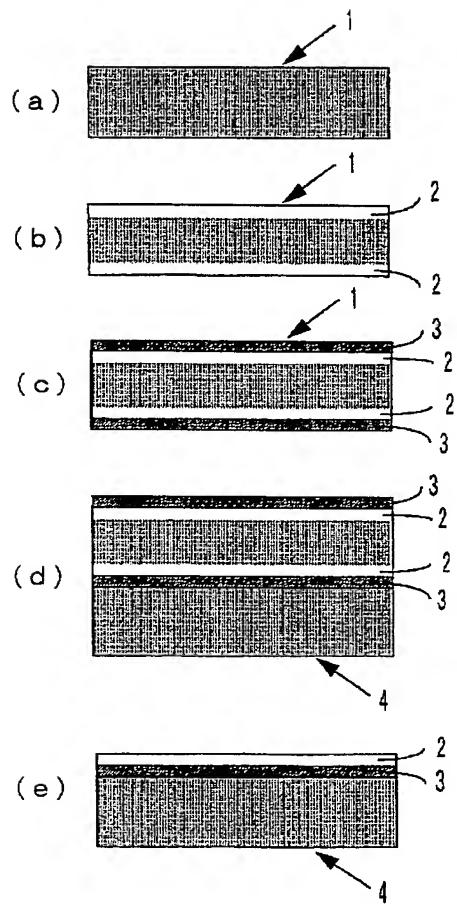
2 ⋯ C O P 低減

4 …ベー

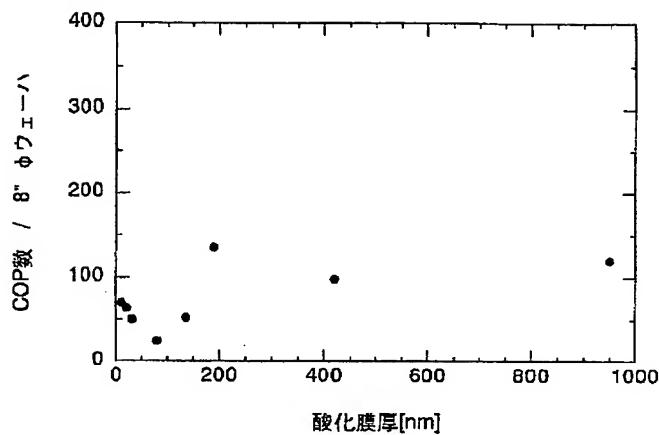
[圖 2]



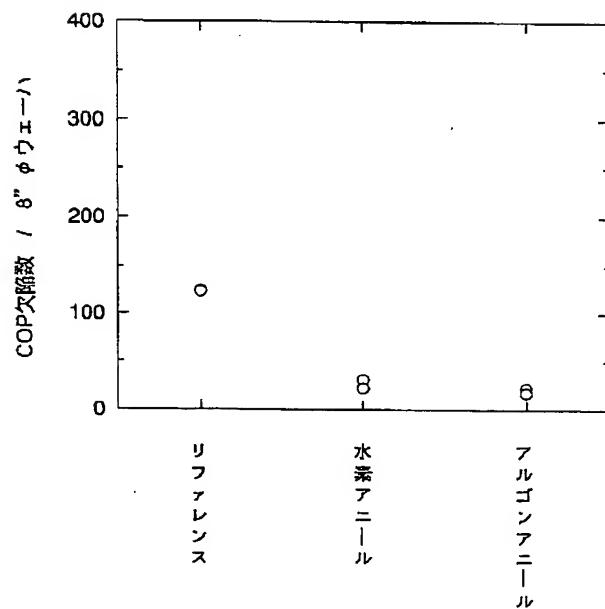
【図1】



【図3】



【図4】



フロントページの続き

(72)発明者 片山 正健

群馬県安中市磯部2丁目13番1号 信越半

導体株式会社半導体磯部研究所内

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)